



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0033421
Application Number

출원년월일 : 2003년 05월 26일
Date of Application MAY 26, 2003

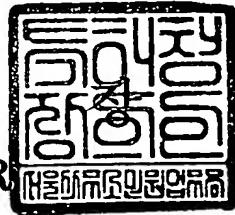
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 06일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003.05.26		
【발명의 명칭】	반도체 메모리 장치		
【발명의 영문명칭】	Semiconductor memory device		
【출원인】			
【명칭】	(주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	이일호		
【성명의 영문표기】	LEE, Il Ho		
【주민등록번호】	690803-1683822		
【우편번호】	467-863		
【주소】	경기도 이천시 부발읍 신하리 532-4		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	10	면	10,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	4	항	237,000 원
【합계】	276,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 메모리 장치에 관한 것으로, 센스앰프 입/출력 전압(VSIO)을 공급하는 전압 생성부와, 비트라인 프리챠지 전압(VBLP)을 공급하는 전압 생성부를 서로 독립적으로 분리시킴으로써 칼럼 리셋 전압(VCORE)의 유입에 의한 센스앰프 입/출력 전압(VSIO)의 상승시 비트라인 프리챠지 전압(VBLP)이 동반 상승되는 것을 방지할 수 있는 반도체 메모리 장치를 개시한다.

【대표도】

도 7

【색인어】

비트라인 센스앰프, 비트라인 프리챠지 전압, 센스앰프 입/출력 전압

【명세서】

【발명의 명칭】

반도체 메모리 장치{Semiconductor memory device}

【도면의 간단한 설명】

도 1은 일반적인 쉐어드 센스앰프(shared sense amplifier) 방식을 적용한 DRAM 메모리 장치의 구조를 설명하기 위하여 간략하게 도시한 뱅크(bank) 구성도이다.

도 2는 4개의 비트라인 센스앰프(BLSA)를 통해 각각 센싱된 4개의 데이터가 하나의 칼럼 신호에 의해 동시에 센스앰프 입/출력라인(SI0, SI0b)으로 전송되도록 구성된 회로이다.

도 3은 비트라인 센스앰프(BLSA)에서 입/출력 센스앰프(IOSA) 까지의 입/출력라인들을 설명하기 위하여 도시한 회로도이다.

도 4는 뱅크의 액티브 동작시 칼럼 리셋 전압(VCORE)이 비트라인 프리챠지 전압(VBLP)으로 유입되는 것을 설명하기 위하여 도시한 파형도이다.

도 5는 종래기술에 따라 단일 비트라인 프리챠지 전압 생성부를 통해 생성된 비트라인 프리챠지 전압(VBLP)이 뱅크로 공급되는 것을 설명하기 위하여 도시한 도면이다.

도 6은 뱅크의 액티브 동작시 칼럼 리셋 전압(VCORE)이 비트라인 프리챠지 전압(VBLP)으로의 유입에 따른 비트라인 프리챠지 전압(VBLP)의 변화를 설명하기 위하여 도시한 파형도이다.

도 7은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 설명하기 위하여 도시한 블럭도이다.

도 8a 및 도 8b는 본 발명의 바람직한 실시예에 따른 비트라인 센스앰프(BLSA)에서 입/ 출력 센스앰프(IOSA) 까지의 입/출력라인들을 도시한 회로도이다.

도 9는 본 발명의 바람직한 실시예에 따른 뱅크의 액티브 동작시 칼럼 리셋 전압(VCORE)의 유입에 따른 비트라인 프리챠지 전압(VBLP)의 변화를 설명하기 위하여 도시한 파형도이다.

도 10은 뱅크의 액티브 동작시 칼럼 리셋 전압(VCORE)이 센스앰프 입/출력 전압(VSIO)으로의 유입에 따른 비트라인 프리챠지 전압(VBLP)의 변화를 설명하기 위하여 도시한 파형도이다.

도 11는 본 발명의 또 다른 실시예에 따라 단일 전압 생성부를 통해 비트라인 프리챠지 전압(VBLP)과 센스앰프 입/출력 전압(VSIO)을 생성하여 공급하기 위한 수단을 도시한 블럭도이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : X-디코더

20, 110 : 비트라인 프리챠지 전압 생성부

120 : 센스앰프 입/출력 전압 생성부

132, 134 : 베퍼부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<16> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 칼럼 리셋 전압(VCORE)에 의해 로칼 입/출력라인(LIO, LIOb)에 채팅된 전하량이 많을 경우에 필수불가결하게 발생하는 비트라인 프리챠지 전압(VBLP)의 상승을 원천적으로 방지할 수 있는 반도체 메모리 장치에 관한 것이다.

<17> 도 1은 일반적인 쉐어드 센스앰프(shared sense amplifier) 방식을 적용한 DRAM 메모리 장치의 구조를 설명하기 위하여 간략하게 도시한 뱅크(bank) 구성도이다.

<18> 도 1에 도시된 바와 같이, 일반적인 DRAM 메모리 장치는 다수의 뱅크로 이루어진다. 각 뱅크는 다수의 비트라인 센스앰프 어레이(BLSA0 내지 BLSAn)와, 상기 비트라인 센스앰프 어레이(BLSA0 내지 BLSAn)와 교번적으로 배치된 메트릭스 서브 셀 어레이(MATrix cell array; MAT0 내지 MATn)를 포함한다. 메트릭스 서브 셀 어레이(MAT0 내지 MATn)는 어드레스 신호에 따라 X-디코더(X-Decoder; 10)에 의해 활성화된 워드라인(WL)에 의해 선택된다.

<19> 도 2 및 3에 도시된 바와 같이, Y-디코더(도시되지 않음)로부터 출력되는 칼럼신호(column signal; Yi)에 의해 선택된 데이터(data)들은 로칼 입/출력라인(Local I/O line, line bar; LIO, LIOb)과 센스앰프 입/출력라인(Sense amplifier I/O line, line bar; SI0, SI0b)을 통해서 입/출력 센스앰프(I/O Sense Amplifier; IOSA)로 입력되어 증폭된다. 데이터 전송속도를 증가시키기 위하여 용도에 따라 많은 칼럼신호가 한꺼번에 동작되기도 한다. 도 2는 설명의 편의를 위해 일례로 4개의 비트라인 센스앰프(BLSA)를 통해 각각 센싱된 4개의 데이

터가 하나의 칼럼신호에 의해 동시에 센스앰프 입/출력라인(SI0, SI0b)으로 전송되도록 구성된 회로이다. 또한, 용도에 따라 입/출력 센스앰프(IOSA)가 한꺼번에 모두(IOSA<0:n>) 동작될 수 있도록 할 수도 있다.

<20> 예컨대, 도 2에 도시된 바와 같이, 4개의 로칼 입/출력라인(LI0(b)0 내지 LI0(b)3)은 4 개의 센스앰프 입/출력라인(SI0(b)0 내지 SI0(b)3)과 각각 일대일 대응된다. 메트릭스 셀 어레이(MAT0 내지 MATn) 각각을 기준으로 상/하부 각각 2개씩 비트라인 센스앰프(BLSA)가 위치된다. 비트라인 센스앰프(BLSA)와 접속되는 비트라인(BL, BLb)은 칼럼신호(Y1)에 의해 제어되는 트랜지스터(Q1 및 Q2)를 통해 센스앰프 입/출력라인(SI0, SI0b)과 전기적으로 일대일 접속된다. 또한, 센스앰프 입/출력라인(SI0, SI0b)은 로우(row) 메트릭스 신호(Row_mat)에 의해 제어되는 스위치용 트랜지스터(Q6 및 Q7)를 통해 로칼 입/출력라인(LI0, LI0b)과 전기적으로 일대일 접속된다.

<21> 구체적으로, 도 3에 도시된 바와 같이, 센스앰프 입/출력라인(SI0, SI0b)과 비트라인(BL, BLb) 간의 접속은 칼럼신호(Yi)에 의해 제어된다. 센스앰프 입/출력라인(SI0, SI0b)과 로칼 입/출력라인(LI0, LI0b) 간의 접속은 로우 메트릭스 신호(Row_mat)에 의해 제어된다. 로우 메트릭스 신호(Row_mat)는 액티브 동작(activation; ACT)시에 메트릭스 셀 어레이(MAT0 내지 MATn)의 코딩(coding) 신호로서, 센스앰프 입/출력라인(SI0, SI0b)과 로칼 입/출력라인(LI0, LI0b) 간의 전기적인 접속을 제어한다. 반면, 로우 메트릭스 바신호(Row_matb)는 센스앰프 입/출력라인(SI0, SI0b)을 서로 동일한 전압 레벨로 균등화시키는 한편 비트라인 프리챠지 전압(VBLP) 레벨로 프리챠지(precharge)시킨다. 칼럼 리셋 바신호(Col_RSTb)는 칼럼신호(Yi)가 활성화되기 전에 로칼 입/출력라인(LI0, LI0b)을 서로 동일한 전압 레벨로 균등화시키는 한편 칼럼 리셋 전압(VCORE) 레벨로 프리챠지시킨다. 일반적으로, 칼럼 리셋 전압(VCORE)은 비트라인

프리챠지 전압(VBLP)의 2배가 이상적인 값이다. 만약, 비트라인 프리챠지 전압(VBLP)이 기준치보다 높거나 낮을 경우에는 하이(HIGH) 또는 로우(LOW) 데이터 센싱에 있어서 기준 리프레쉬(refresh) 후의 리드(read) 동작시에 페일(fail)이 발생할 수가 있다. 즉, 리프레쉬 특성에 나쁜 영향을 줄 수가 있다.

<22> 일반적으로 비트라인 프리챠지 전압(VBLP)은 비트라인 프리챠지 전압 생성부(20)로부터 생성된다. 도 5에 도시된 바와 같이 비트라인 프리챠지 전압(VBLP)은 공통으로 인접한 뱅크(예컨대, 도시된 BANK0 및 BANK1) 내의 비트라인 센스앰프(BLSA)와 센스앰프 입/출력라인(SI0, SI0b)으로 공급된다. 이에 따라, 비트라인 프리챠지 전압 생성부(20)의 비트라인 프리챠지 전압(VBLP)을 공급하기 위한 공급라인(22)은 각 뱅크(BANK0 및 BANK1) 내에서 메쉬(mesh) 형태로 균등화 회로(12)와 연결된다. 도시되지는 않았지만, 비트라인(BL, BLb)을 균등화시키기 위한 균등화 회로와도 연결된다.

<23> 도 4에 도시된 바와 같이, 액티브 동작(ACT) 명령(Command)이 내려지고, 로우 메트릭스 신호(Row_mat)가 '로우' 상태에서 '하이' 상태로 천이하기 전에, 센스앰프 입/출력라인(SI0, SI0b)의 전위는 로우 메트릭스 바신호(Row_matb)에 의해 동작되는 트랜지스터(Q3 내지 Q5)에 의해 비트라인 프리챠지 전압(VBLP)으로 프리챠지된다. 또한, 로칼 입/출력라인(LI0)의 전위는 칼럼 리셋 바신호(Col_RSTb)가 '하이' 상태를 유지함에 따라 균등화 회로(14)의 트랜지스터(Q8 내지 Q10)가 동작되어 칼럼 리셋 전압(VCORE)으로 유지된다.

<24> 이후, 로우 메트릭스 신호(Row_mat)가 '로우' 상태에서 '하이' 상태로 천이하고, 로우 메트릭스 바신호(Row_matb)가 '하이' 상태에서 '로우' 상태로 천이하는 경우 센스앰프 입/출력라인(SI0, SI0b)은 칼럼 리셋 전압(VCORE)으로 유지되고 있는 로칼 입/출력라인(LI0, LI0b)의 전위에 의해 칼럼 리셋 전압(VCORE)으로 서서히 채징(charging)된다. 즉, 칼럼 리셋 전압

(VCORE)으로 채팅되어 있는 로칼 입/출력라인(LIO)과 비트라인 프리챠지 전압(VBLP)으로 채팅되어 있는 센스앰프 입/출력라인(SIO, SI0b)이 로우 메트릭스 신호(Row_mat)에 의해 동작되는 트랜지스터(Q6 및 Q7)를 통해 서로 전기적으로 접속되고, 이에 따라, 상대적으로 고전위인 칼럼 리셋 전압(VCORE)이 트랜지스터(Q6 및 Q7)를 통해 비트라인 프리챠지 전압(VBLP)으로 유입된다. 이로써, 센스앰프 입/출력라인(SIO, SI0b)에 채팅된 비트라인 프리챠지 전압(VBLP)은 도 6에 도시된 바와 같이 칼럼 리셋 전압(VCORE)에 의해 'VBLP > VCP'가 된다. 여기서, 'VCP(Cell Plate Voltage)'는 셀 플랫 전압으로서 칼럼 리셋 전압(VCORE)의 절반이다.

<25> 이후, 대기모드(stand-by; PCG) 동작 명령시 로우 메트릭스 신호(Row_mat)는 '로우' 상태가 되고, 로우 메트릭스 바신호(Row_matb)는 '하이' 상태가 된다. 이로 인하여, 칼럼 리셋 전압(VCORE)으로 채팅되어 있던 센스앰프 입/출력라인(SIO, SI0b)의 전위는 모두 비트라인 프리챠지 전압(VBLP)으로 디스챠징(discharging)된다. 즉, 로칼 입/출력라인(LIO)과 센스앰프 입/출력라인(SIO, SI0b)이 로우 메트릭스 신호(Row_mat)에 의해 서로 전기적으로 분리되고, 이에 따라, 센스앰프 입/출력라인(SIO, SI0b)으로는 더이상 칼럼 리셋 전압(VCORE)이 유입되지 않게 된다. 이로써, 센스앰프 입/출력라인(SIO, SI0b)은 비트라인 프리챠지 전압(VBLP)으로 디스챠징된다.

<26> 상기에서, 로칼 입/출력라인(LIO, LI0b)으로부터 센스앰프 입/출력라인(SIO, SI0b)으로 유입되는 칼럼 리셋 전압(VCORE)의 양이 소자 동작에 얼마나 문제가 될 것인지 하는 것은 얼마나 많은 워드라인(WL)을 한번에 여러번 활성화시킬 것인가에 달려 있다. 메모리의 용량이 크기에 따라, 또는 연속적으로 수행되는 뱅크작업의 양에 따라 이러한 현상이 빈번히 발생할 수 있다. 즉, 액티브 동작시(ACT)에 칼럼 리셋 전압(VCORE)이 센스앰프 입/출력라인(SIO, SI0b)을 통해 비트라인 프리챠지 전압 생성부(20)의 출력단으로 역류하여 유입되고, 이에 따라, 비트라

인 프리챠지 전압 생성부(20)로 출력되는 비트라인 프리챠지 전압(VBLP)이 상승하게 된다. 결국, 도 4에 도시된 바와 같이 비트라인 프리챠지 전압(VBLP)의 상승에 의해 비트라인(BL, BLb)을 균등화시키기 위해 인가되는 비트라인 프리챠지 전압(VBLP) 또한 동반 상승하게 된다. 이에 따라, 비트라인 센스앰프(BLSA)의 센싱동작을 방해하게 된다. 즉, 리프레쉬(refresh) 동작을 수행하거나, 여러 뱅크의 동작을 수행할 때, 상승된 비트라인 프리챠지 전압(VBLP)에 의해 발생하는 셀 데이터의 열화(degradation)가 리프레쉬 인터벌(interval) 후 읽어내는 값에 영향을 주게 된다.

<27> 상기에서 설명한 바와 같이, 칼럼 리셋 전압(VCORE)의 유입을 차단하기 위한 방안으로, 비트라인 프리챠지 전압(VBLP)을 생성하는 비트라인 프리챠지 전압 생성부(20; 도 5참조)의 출력단에 센서(sensor; 도시되지 않음)를 설치하여 높아진 전압레벨, 즉 유입된 칼럼 리셋 전압(VCORE) 만큼을 디스챠징시키는 방법을 생각할 수 있다. 그러나, 이러한 방법은 센스앰프 입/출력라인(SI0, SI0b)의 로딩이 클때는 충분하지 못할 수가 있다. 따라서, 칼럼 리셋 전압(VCORE)이 비트라인 프리챠지 전압(VBLP)으로 유입되는 것을 차단하기 위한 새로운 방안이 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 공동(common)으로 로칼 입/출력라인(LI0, LI0b)과, 비트라인 센스앰프(BLSA)와 접속되는 비트라인(BL, BLb)을 비트라인 프리챠지 전압(VBLP)으로 프리챠지시킴에 따라 액티브 동작이 반복적으로 이루어지거나, 칼럼 리셋 전압(VCORE)에 의해 로칼 입/출력라인(LI0, LI0b)에 쟁정된 전하

량이 많을 경우에 필수불가결하게 발생하는 비트라인 프리챠지 전압(VBLP)의 상승을 원천적으로 방지하는데 그 목적이 있다.

【발명의 구성 및 작용】

<29> 본 발명의 일측면에 따르면, 다수의 메모리 셀로 이루어진 셀 어레이와, 비트라인을 통해 상기 메모리 셀과 접속되고 상기 메모리 셀의 데이터를 센싱하는 비트라인 센스앰프와, 상기 비트라인 센스앰프를 동일한 전압레벨로 균등화시키기 위한 비트라인 균등화 회로와, 칼럼 신호에 따라 상기 비트라인과 전기적으로 접속되는 센스앰프 입/출력라인과, 상기 센스앰프 입/출력라인을 동일한 전압레벨로 균등화시키기 위한 센스앰프 입/출력라인 균등화 회로와, 로우 메트릭스 신호에 따라 상기 센스앰프 입/출력라인과 전기적으로 접속되는 로칼 입/출력라인과, 상기 로칼 입/출력라인을 동일한 전압레벨로 균등화시키기 위한 로칼 입/출력라인 균등화 회로와, 상기 로칼 입/출력라인과 접속되고, 상기 비트라인 센스앰프를 통해 센싱된 데이터를 센싱하여 출력하는 입/출력 센스앰프를 포함하되, 상기 비트라인과 상기 센스앰프 입/출력라인은 상기 로우 메트릭스 신호의 반전신호에 따라 동작되는 상기 비트라인 균등화 회로와 상기 센스앰프 입/출력라인 균등화 회로에 의해 각각 서로 다른 공급라인을 통해 독립적으로 공급되는 전압에 의해 균등하게 프리챠지되는 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

<30> 본 발명의 다른 측면에 따르면, 비트라인과, 상기 비트라인을 통해 메모리 셀의 데이터를 센싱하는 비트라인 센스앰프와, 칼럼신호에 따라 상기 비트라인과 전기적으로 접속되는 센스앰프 입/출력라인과, 로우 메트릭스 신호에 따라 상기 센

스앰프 입/출력라인과 전기적으로 접속되는 로칼 입/출력라인과, 상기 로칼 입/출력라인을 통해 상기 비트라인 센스앰프를 통해 센싱된 데이터를 출력하는 입/출력 센스앰프로 이루어진 반도체 메모리 장치에 있어서, 상기 비트라인과 상기 센스앰프 입/출력라인의 양단은 각각 서로 다른 공급라인을 통해 독립적으로 공급되는 전압에 의해 균등한 전압레벨로 프리챠지되는 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

<31> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하여 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<32> 도 7은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치를 설명하기 위하여 간략하게 도시한 블록도이다.

<33> 도 7을 참조하면, 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치는 다수의 비트라인 센스앰프(BLSA)와 다수의 메트릭스 서브 셀 어레이(MAT0 내지 MATn)로 구성된 다수의 뱅크(도시된 BANK0, BANK1)를 포함한다. 또한, 반도체 메모리 장치는 비트라인 프리챠지 전압(VBLP)을 생성하는 비트라인 프리챠지 전압 생성부(110)와, 센스앰프 입/출력 전압(VSIO)을 생성하는 센스앰프 입/출력 전압 생성부(120)를 포함한다. 여기서, 센스앰프 입/출력 전압(VSIO)과 비트라인 프리챠지 전압(VBLP)은 서로 동일한 전압레벨, 즉 칼럼 리셋 전압(VCORE)의 1/2의 전압레벨을 갖는다.

<34> 도 8a에 도시된 바와 같이, 비트라인 프리챠지 전압 생성부(110)는 비트라인 균등화 회로(112)로 비트라인 프리챠지 전압(VBLP)을 공급한다. 비트라인 균등화 회로(112)는 로우 메트릭스 바신호(Row_matb)에 따라 동작되는 트랜지스터(Q1 내지 Q3)로 구성되며, 메트릭스

바신호(Row_matb)에 따라 비트라인(BL, BLb)을 비트라인 프리챠지 전압(VBLP)으로 프리챠지시킨다. 반면, 도 8b에 도시된 바와 같이, 센스앰프 입/출력 전압 생성부(120)는 센스앰프 입/출력라인 균등화 회로(122)로 센스앰프 입/출력 전압(VSIO)을 공급한다. 센스앰프 입/출력라인 균등화 회로(122)는 로우 메트릭스 바신호(Row_matb)에 따라 동작되는 트랜지스터(Q12 내지 Q14)로 구성되며, 메트릭스 바신호(Row_matb)에 따라 센스앰프 입/출력라인(SI0, SI0b)을 센스앰프 입/출력 전압(VSIO)으로 프리챠지시킨다. 한편, 칼럼 리셋 전압(VCORE)은 칼럼 리셋 전압 생성부(도시되지 않음)로부터 공급된다. 로칼 입/출력 라인(LI0, LI0b)은 칼럼 리셋 바신호(Col_RSTb)에 의해 동작되는 로칼 입/출력 라인 균등화 회로(124)에 의해 칼럼 리셋 전압(VCORE)으로 프리챠지된다. 칼럼 리셋 전압(VCORE)은 비트라인 프리챠지 전압(VBLP) 또는 센스앰프 입/출력 전압(VSIO)의 2배의 전압레벨을 갖는다.

<35> 도 9에 도시된 바와 같이, 액티브 동작(ACT) 명령이 내려지고, 로우 메트릭스 신호(Row_mat)가 '로우' 상태에서 '하이' 상태로 천이하기 전에, 센스앰프 입/출력라인(SI0, SI0b)의 전위는 로우 메트릭스 바신호(Row_matb)에 의해 동작되는 센스앰프 입/출력라인 균등화 회로(122)에 의해 센스앰프 입/출력 전압(VSIO)으로 프리챠지된다. 또한, 비트라인(BL, BLb)의 전위는 로우 메트릭스 바신호(Row_matb)에 의해 동작되는 비트라인 균등화 회로(112)에 의해 비트라인 프리챠지 전압(VBLP)으로 프리챠지된다. 또한, 로칼 입/출력라인(LI0)의 전위는 칼럼 리셋 바신호(Col_RSTb)가 '하이' 상태로 유지되기 때문에 로칼 입/출력라인 균등화 회로(124)가 동작되어 칼럼 리셋 전압(VCORE)으로 유지된다.

<36> 이후, 로우 메트릭스 신호(Row_mat)가 '로우' 상태에서 '하이' 상태로 천이하고, 로우 메트릭스 바신호(Row_matb)가 '하이' 상태에서 '로우' 상태로 천이하는 경우 센스앰프 입/출력라인(SI0, SI0b)은 칼럼 리셋 전압(VCORE)으로 유지되고 있는 로칼 입/출력라인(LI0, LI0b)의

전위에 의해 센스앰프 입/출력 전압(VSIO)으로부터 칼럼 리셋 전압(VCORE)으로 서서히 채징된다. 즉, 칼럼 리셋 전압(VCORE)으로 채징되어 있는 로컬 입/출력라인(LIO)과 센스앰프 입/출력 전압(VSIO)으로 채징되어 있는 센스앰프 입/출력라인(SI0, SI0b)이 로우 메트릭스 신호(Row_mat)에 의해 동작되는 트랜지스터(Q15 및 Q16)를 통해 서로 전기적으로 접속되고, 상대적으로 고전위인 칼럼 리셋 전압(VCORE)이 트랜지스터(Q15 및 Q16)를 통해 센스앰프 입/출력라인(SI0, SI0b)으로 유입된다. 이로써, 센스앰프 입/출력라인(SI0, SI0b)의 전위는 서서히 칼럼 리셋 전압(VCORE)으로 상승된다. 이때, 비트라인(BL, BLb)의 전위는 센스앰프 입/출력라인(SI0, SI0b)의 전위 상승과 무관하게 비트라인 프리챠지 전압(VBLP)으로 그대로 유지된다.

<37> 도 5에 도시된 바와 같이 종래기술에서는 비트라인 프리챠지 전압 생성부(20)를 통해 생성된 비트라인 프리챠지 전압(VBLP)이 공급라인(22)을 통해 공통으로 비트라인(BL, BLb)과 센스앰프 입/출력라인(SI0, SI0b)으로 공급됨에 따라 칼럼 리셋 전압(VCORE)이 센스앰프 입/출력라인(SI0, SI0b)을 통해 역류하는 경우 비트라인(BL, BLb)의 전위를 상승시키게 된다. 그러나, 도 7에 도시된 바와 같이 본 발명의 바람직한 실시예에서는 독립적으로 분리된 비트라인 프리챠지 전압 생성부(110)와 센스앰프 입/출력 전압 생성부(120)를 설치하고, 이를 통해 각각 서로 영향을 주지 않는 센스앰프 입/출력전압(VSIO)과 비트라인 프리챠지 전압(VBLP)을 공급한다. 이에 따라, 칼럼 리셋 전압(VCORE)이 센스앰프 입/출력라인(SI0, SI0b)을 통해 역류한다 하더라도, 비트라인(BL, BLb)에는 전혀 영향을 주지 않게 된다.

<38> 이후, 대기모드(stand-by; PCG) 동작 명령시 로우 메트릭스 신호(Row_mat)는 '로우' 상태가 되고, 로우 메트릭스 바신호(Row_matb)는 '하이' 상태가 된다. 이로 인하여, 칼럼 리셋 전압(VCORE)으로 채징되어 있던 센스앰프 입/출력라인(SI0, SI0b)의 전위는 모두 센스앰프 입/

출력 전압(VS10)으로 디스챠징된다. 즉, 로칼 입/출력라인(L10)과 센스앰프 입/출력라인(S10, S10b)이 로우 메트릭스 신호(Row_mat)에 의해 서로 전기적으로 분리되고, 이에 따라, 센스앰프 입/출력라인(S10, S10b)으로는 더이상 칼럼 리셋 전압(VCORE)이 유입되지 않게 된다. 이로써, 센스앰프 입/출력라인(S10, S10b)은 센스앰프 입/출력 전압(VS10)으로 디스챠징된다.

<39> 상기에서 설명한 바와 같이, 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치에서는 비트라인 균등화 회로(112)로 공급되는 전압과 센스앰프 입/출력라인 균등화 회로(122)로 공급되는 전압을 동일한 전압 생성부(도 5참조)를 통해 공급하는 것이 아니라, 서로 다른 전압 생성부, 즉 비트라인 프리챠지 전압 생성부(110)와 센스앰프 입/출력 전압 생성부(120)를 통해 독립적으로 공급한다. 이로써, 도 9에 도시된 바와 같이 액티브 동작(ACT)시 로우 메트릭스신호(Row_mat)에 의해 트랜지스터(Q15 및 Q16)가 동작되어 센스앰프 입/출력라인(S10, S10b)과 로칼 입/출력 라인(L10, L10b)이 전기적으로 접속되는 경우 칼럼 리셋 전압(VCORE)이 센스앰프 입/출력라인(S10, S10b)을 통해 센스앰프 입/출력 전압 생성부(120)의 출력단으로 역류하더라도 비트라인 프리챠지 전압(VBLP)에는 전혀 영향을 주지 않는다. 즉, 도 10에 도시된 바와 같이 종래기술에서는 비트라인 프리챠지 전압(VBLP)이 셀 플랫 전압(VCP)보다 상승하나, 본 발명에서는 비트라인 프리챠지전압(VBLP)가 셀 플랫 전압(VCP)과 동일하게 유지된다.

<40> 한편, 도 7에 도시된 바와 같이 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치에서는 비트라인 프리챠지 전압 생성부(110)와 센스앰프 입/출력 전압 생성부(120)가 서로 독립적으로 분리되고, 각각 독립적으로 각 전압(VS10, VBLP)을 생성한다. 그러나, 이는 일례로서 도 11에 도시된 바와 같이 하나의 전압 생성부(130)를 통해 동일한 전압레벨을 갖는 전압(VS10, VBLP)을 생성하고, 출력단에 두개의 버퍼부(132 및 134)를 두고 동일한 전압레벨로 생성된 센스앰프 입/출력 전압(VS10)과 비트라인 프리챠지 전압(VBLP)을 독립적으로 공급할 수도

있다. 즉, 센스앰프 입/출력 전압(VSIO)이 공급되는 라인으로 역류하는 전압(VCORE)이 비트라인 프리챠지 전압(VBLP)이 공급되는 라인으로 유입되지 않도록 회로를 구성하면 된다.

<41> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<42> 상기에서 설명한 바와 같이, 본 발명에서는 센스앰프 입/출력 전압(VSIO)을 공급하는 전압 생성부와 비트라인 프리챠지 전압(VBLP)을 공급하는 전압 생성부를 서로 독립적으로 분리시킴으로써 칼럼 리셋 전압(VCORE)의 유입에 의한 센스앰프 입/출력 전압(VSIO)의 상승시 비트라인 프리챠지 전압(VBLP)이 동반 상승하는 것을 방지할 수 있다.

<43> 궁극적으로, 칼럼 리셋 전압(VCORE)의 유입에 따른 비트라인 프리챠지 전압(VBLP)의 동반 상승을 방지하여 셀 데이터의 손실을 최소화함으로써 리프레쉬 특성을 개선시킬 수 있다.

【특허청구범위】**【청구항 1】**

다수의 메모리 셀로 이루어진 셀 어레이;

비트라인을 통해 상기 메모리 셀과 접속되고 상기 메모리 셀의 데이터를 센싱하는 비트라인 센스앰프;

상기 비트라인 센스앰프를 동일한 전압레벨로 균등화시키기 위한 비트라인 균등화 회로;

칼럼신호에 따라 상기 비트라인과 전기적으로 접속되는 센스앰프 입/출력라인;

상기 센스앰프 입/출력라인을 동일한 전압레벨로 균등화시키기 위한 센스앰프 입/출력라인 균등화 회로;

로우 메트릭스 신호에 따라 상기 센스앰프 입/출력라인과 전기적으로 접속되는 로칼 입/출력라인;

상기 로칼 입/출력라인을 동일한 전압레벨로 균등화시키기 위한 로칼 입/출력라인 균등화 회로;

상기 로칼 입/출력라인과 접속되고, 상기 비트라인 센스앰프를 통해 센싱된 데이터를 센싱하여 출력하는 입/출력 센스앰프를 포함하되,

상기 비트라인과 상기 센스앰프 입/출력라인은 상기 로우 메트릭스 신호의 반전신호에 따라 동작되는 상기 비트라인 균등화 회로와 상기 센스앰프 입/출력라인 균등화 회로에 의해 각각 서로 다른 공급라인을 통해 독립적으로 공급되는 전압에 의해 균등하게 프리챠지되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

비트라인과, 상기 비트라인을 통해 메모리 셀의 데이터를 센싱하는 비트라인 센스앰프와, 칼럼신호에 따라 상기 비트라인과 전기적으로 접속되는 센스앰프 입/출력라인과, 로우 메트릭스 신호에 따라 상기 센스앰프 입/출력라인과 전기적으로 접속되는 로칼 입/출력라인과, 상기 로칼 입/출력라인을 통해 상기 비트라인 센스앰프를 통해 센싱된 데이터를 출력하는 입/출력 센스앰프로 이루어진 반도체 메모리 장치에 있어서,

상기 비트라인과 상기 센스앰프 입/출력라인의 양단은 각각 서로 다른 공급라인을 통해 독립적으로 공급되는 전압에 의해 균등한 전압레벨로 프리챠지되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

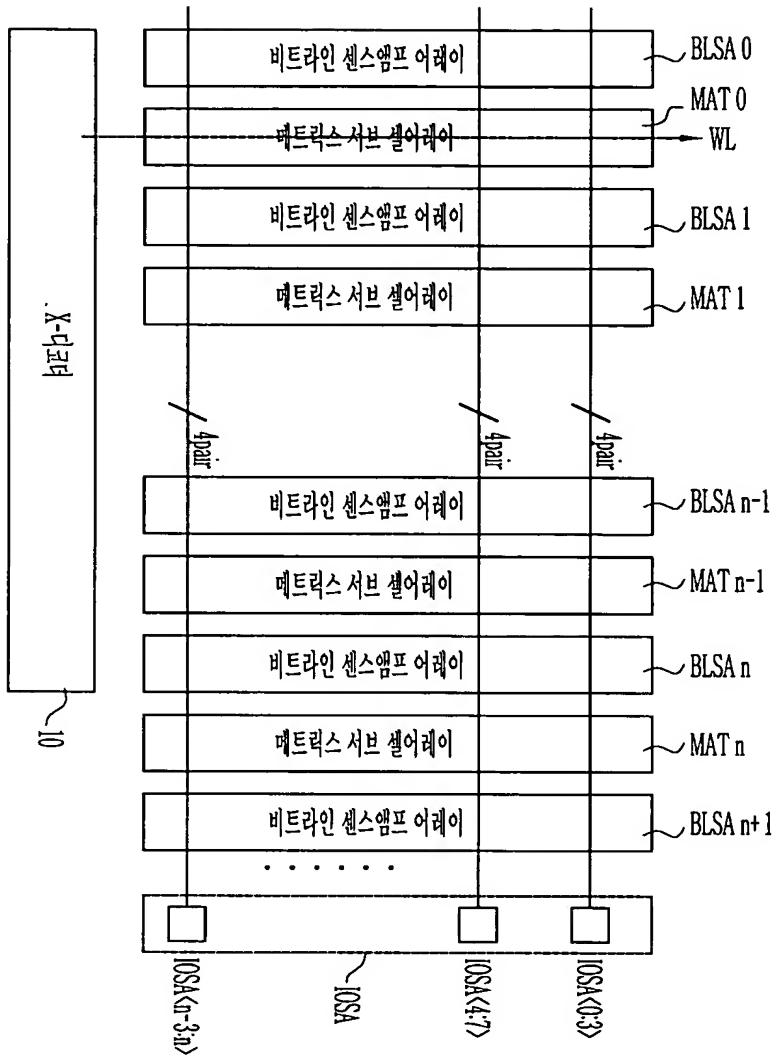
제 1 항 또는 제 2 항에 있어서,
상기 전압은 서로 다른 전압 생성부를 통해 각각 생성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

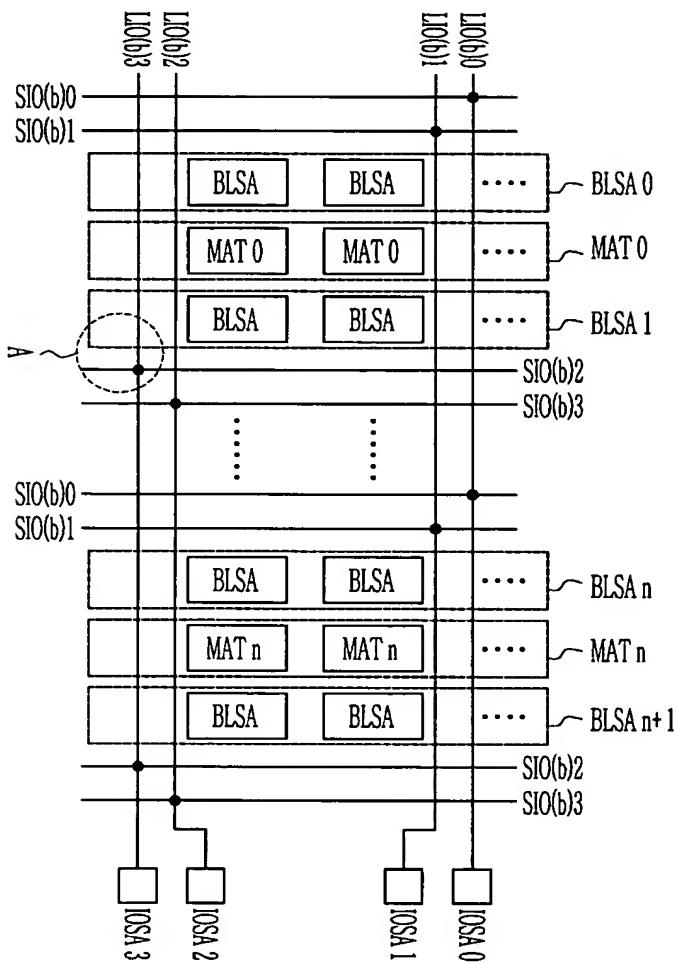
제 1 항 또는 제 2 항에 있어서,
상기 전압은 동일한 전압 생성부를 통해 생성되는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

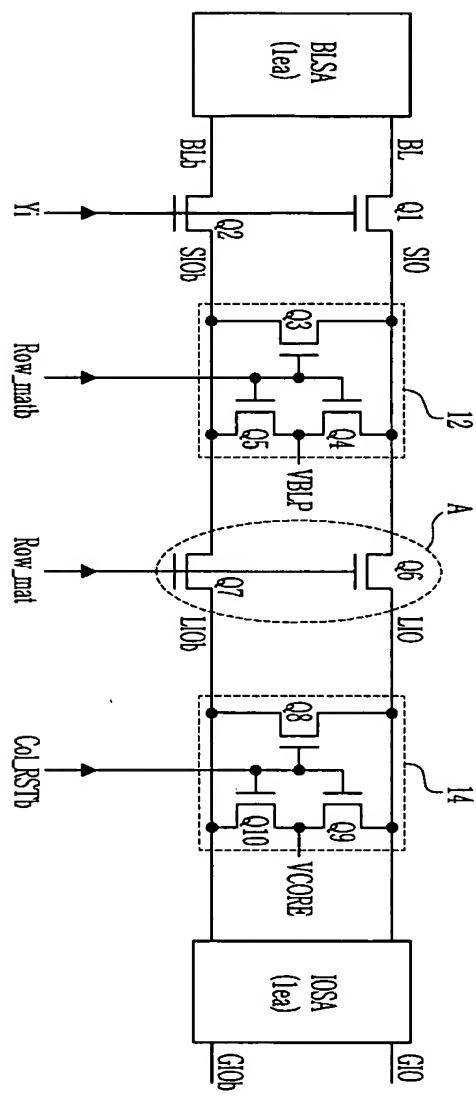
【도 1】



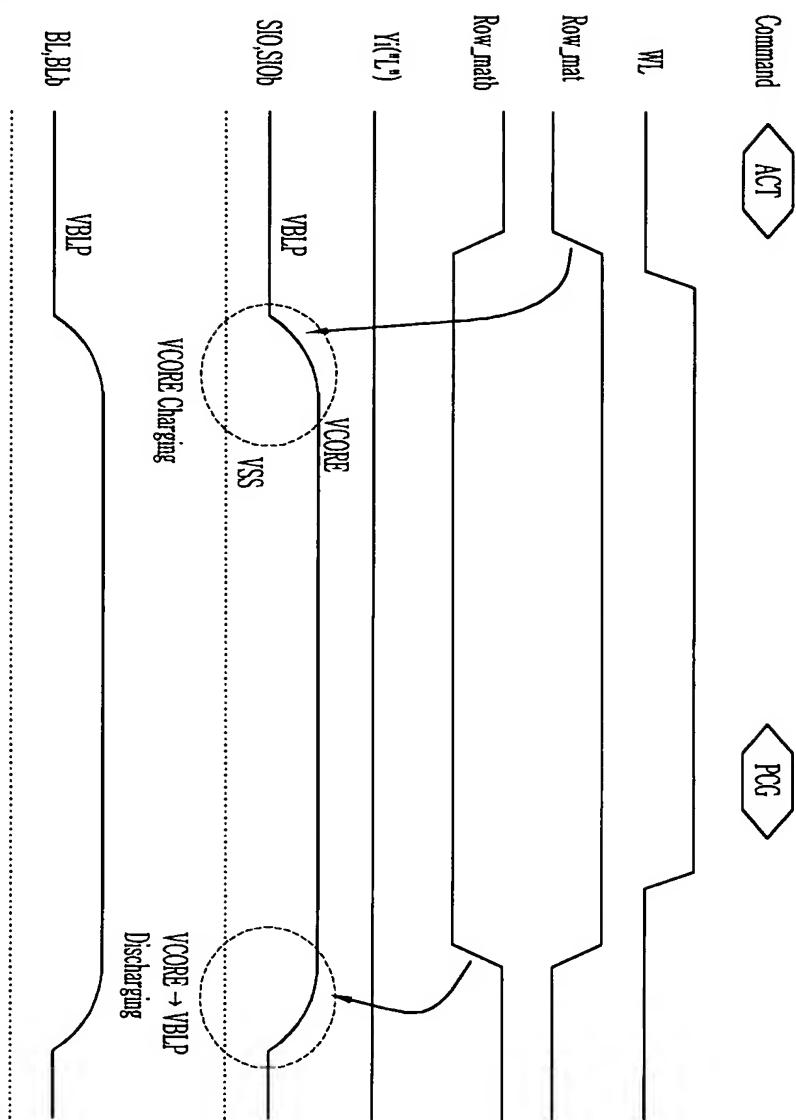
【도 2】



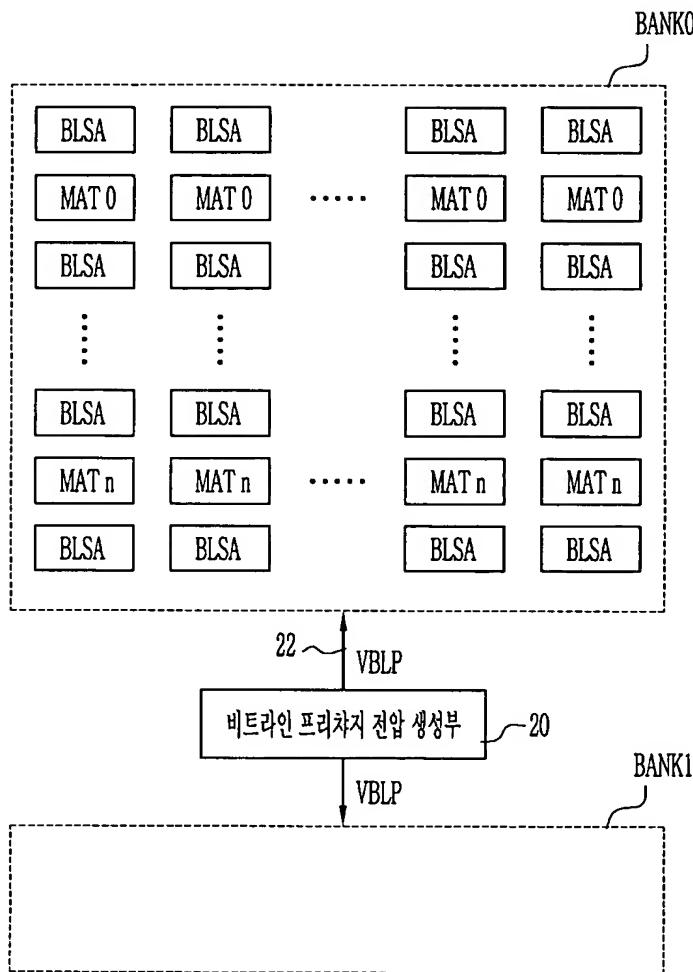
【그 3】



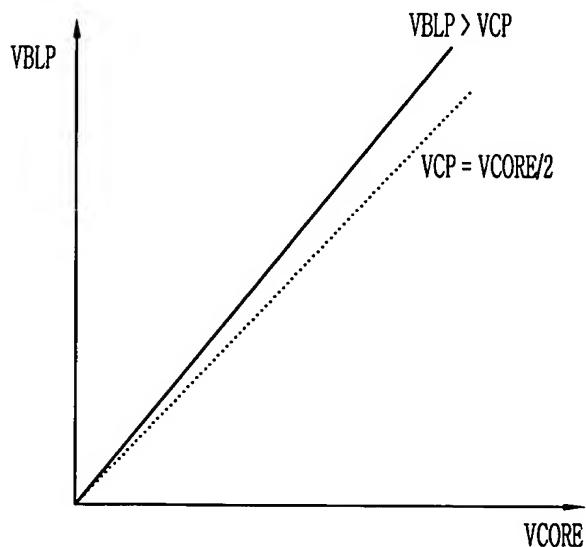
【도 4】



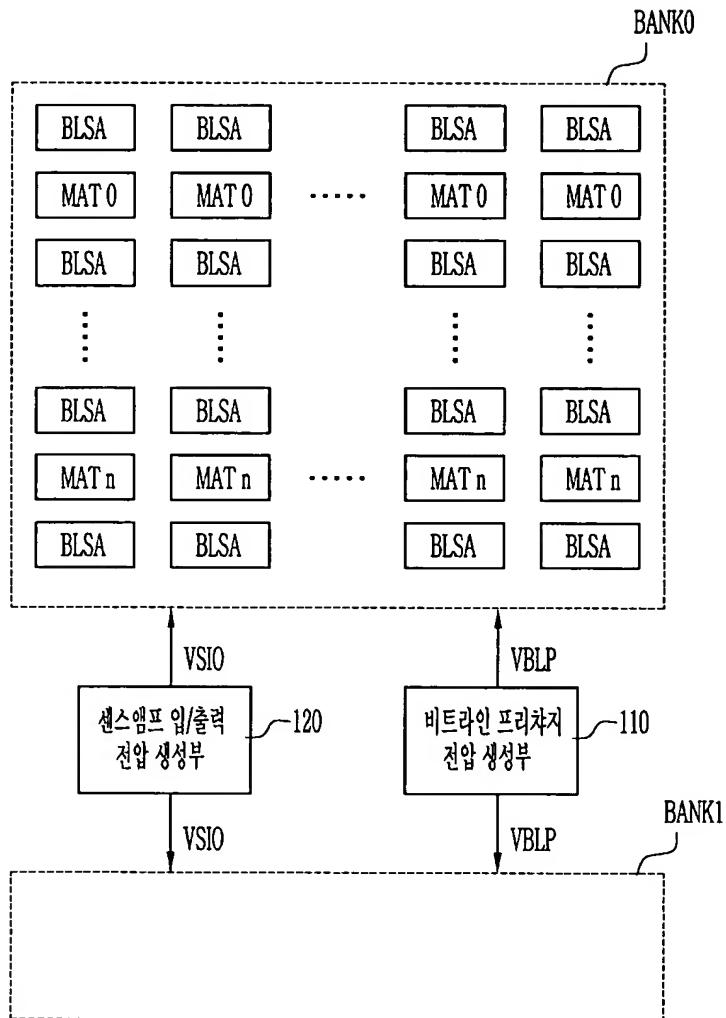
【도 5】



【도 6】



【도 7】

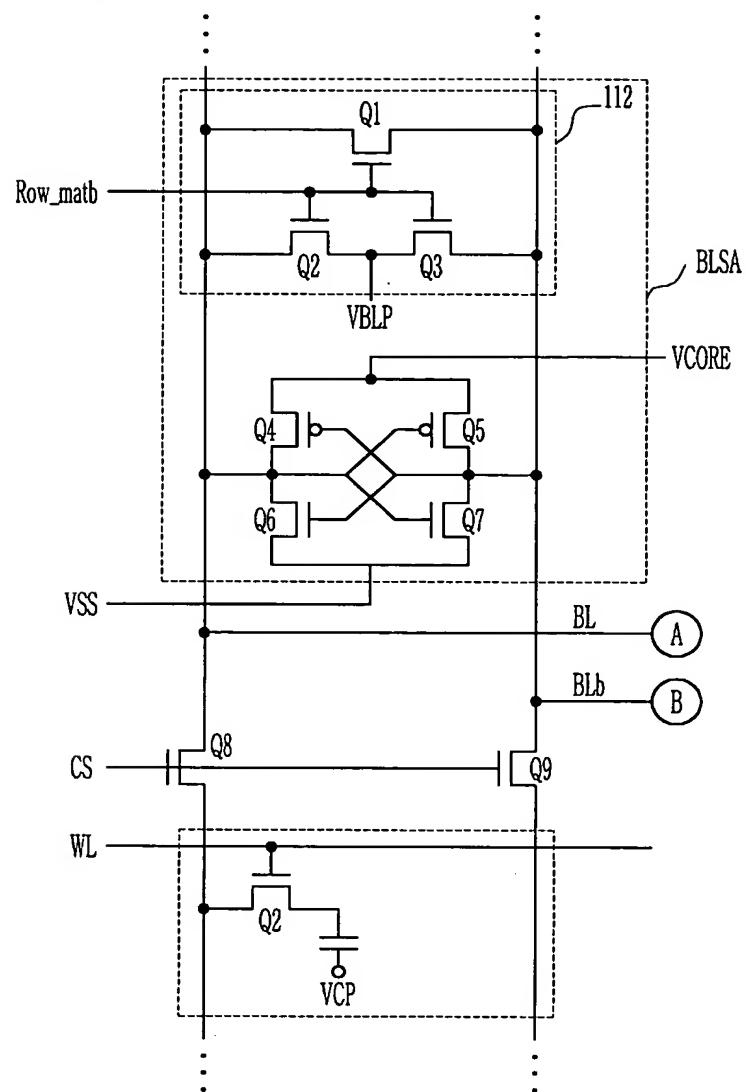




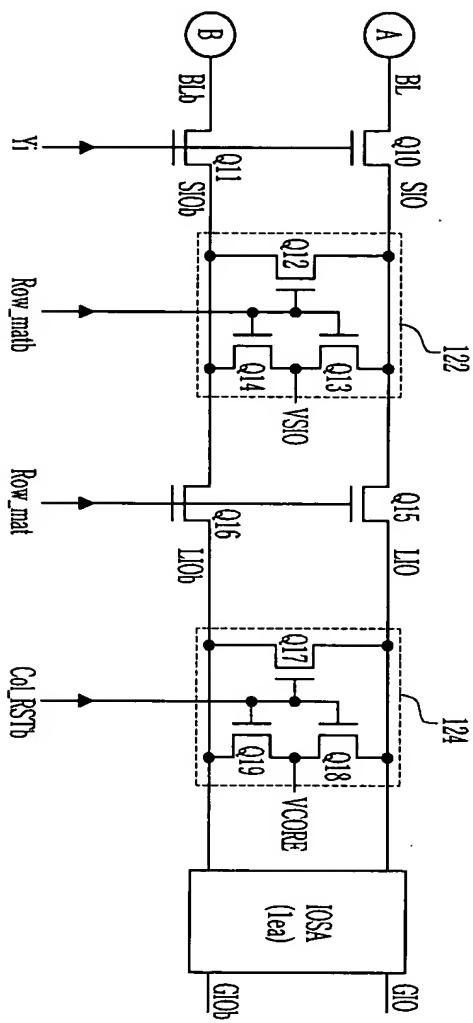
1020030033421

출력 일자: 2003/10/13

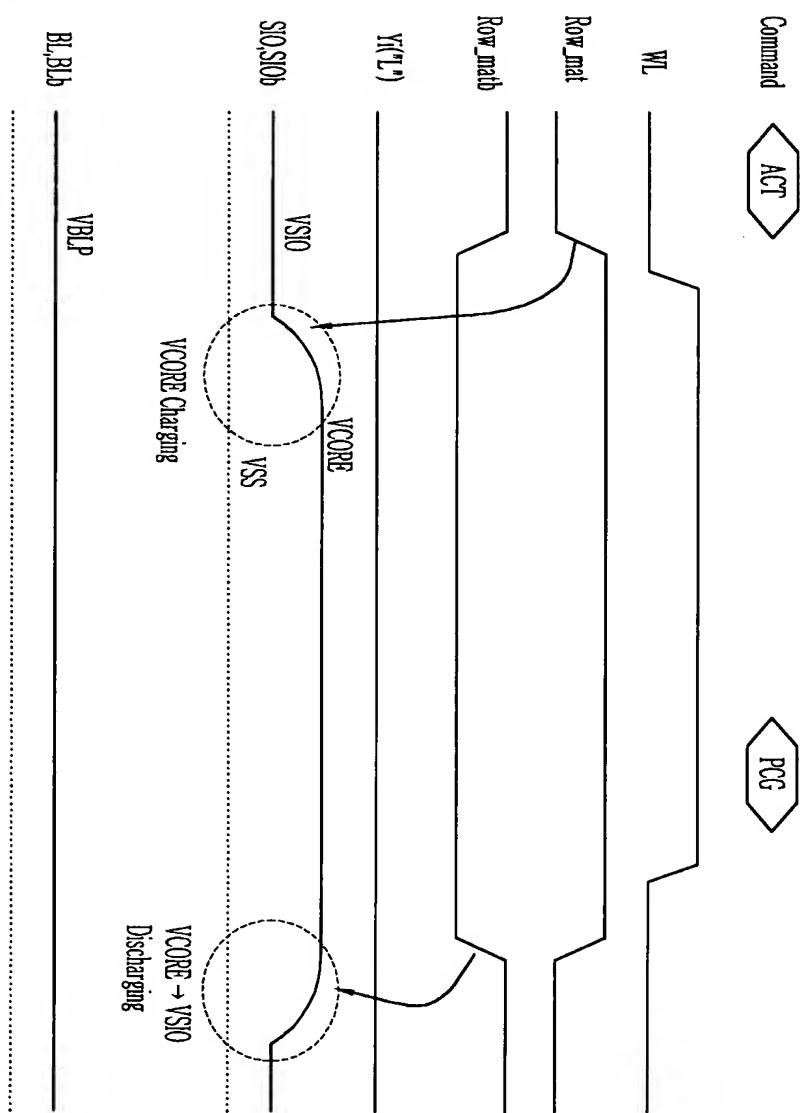
【도 8a】



【도 8b】



【도 9】

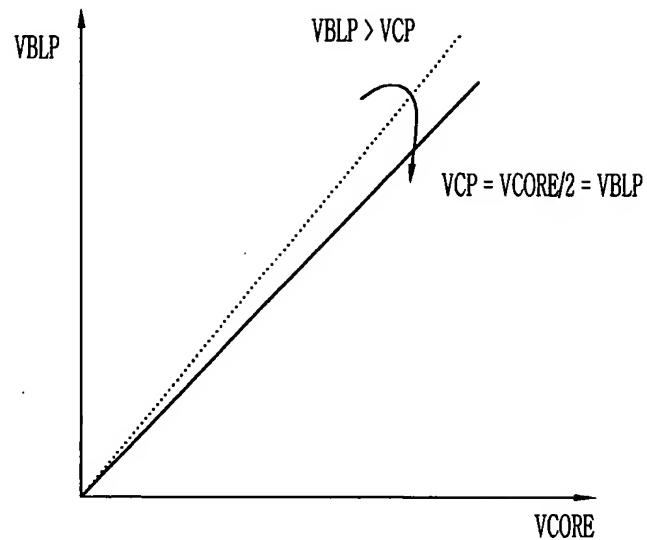




1020030033421

출력 일자: 2003/10/13

【도 10】



【도 11】

